

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-237453
 (43)Date of publication of application : 23.08.1994

(51)Int.Cl. H04N 7/137
 H04N 5/253
 H04N 7/133

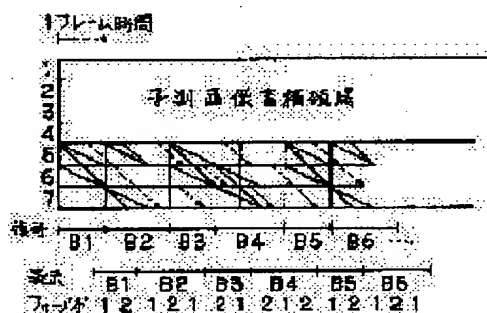
(21)Application number : 05-044645 (71)Applicant : SONY CORP
 (22)Date of filing : 09.02.1993 (72)Inventor : IGARASHI KATSUJI

(54) MOTION PICTURE SIGNAL DECODER

(57)Abstract:

PURPOSE: To reduce the cost by decreasing a storage capacity of a frame memory.

CONSTITUTION: A frame B1 is written in field buffers 5, 6 for a time by one frame. Data of a succeeding frame B2 are written in field buffers 7, 5 for a time by one frame. The write is paused for a time by one field. On the other hand, the reading (display) operation is started with a delay of a time by 3/4 frame with respect to the write. Data of the frame B1 are read sequentially while being divided into 1st and 2nd fields. Data of the frame B2 are read by three fields in the order of the 1st, 2nd and 3rd fields.



LEGAL STATUS

[Date of request for examination] 17.01.2000
 [Date of sending the examiner's decision of rejection] 22.04.2002
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-237453

(43)公開日 平成6年(1994)8月23日

| (51)Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | FI | 技術表示箇所 |
|--------------------------|------|--------|----|--------|
| H04N 7/137 | Z | | | |
| 5/253 | | | | |
| 7/133 | Z | | | |

審査請求 未請求 請求項の数3 FD (全17頁)

(21)出願番号 特願平5-44645

(22)出願日 平成5年(1993)2月9日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 五十嵐 勝治

東京都品川区北品川6丁目7番35号 ソニー株式会社内

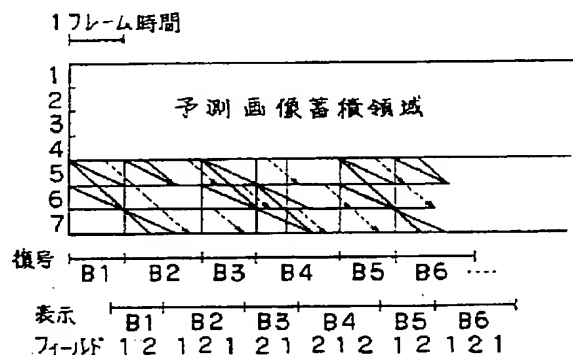
(74)代理人 弁理士 稲本 義雄

(54)【発明の名称】 動画像信号復号化装置

(57)【要約】

【目的】 フレームメモリの記憶容量を小さくし、低コスト化を図る。

【構成】 フレームB1を1フレームの時間をかけてフィールドバッファ5と6に書き込む。それに続くフレームB2のデータを、フィールドバッファ7と5に1フレームの時間をかけて書き込む。書き込み動作は、その後、1フィールドの時間休止される。これに対して、読み出し(表示)動作は、書き込み動作に対して3/4フレーム分の時間だけ遅れて開始される。フレームB1のデータは、第1フィールドと第2フィールドに分けて順次読み出される。フレームB2のデータは、第1フィールド、第2フィールド、第1フィールドの順に、3フィールド分読み出される。



2-3 フルダウソ表示時のフィールドバッファ操作
(Bピクチャ連続時)

1

【特許請求の範囲】

【請求項1】 符号化された動画像信号を復号化するとともに、N-Mプルダウン変換する変換手段と、符号化された動画像信号を復号化するための4フィールド分の予測画像信号と、前記予測画像信号を利用して復号化された3フィールド分の動画像信号を記憶する容量を有する記憶手段とを備え、前記変換手段は、前記記憶手段の7フィールド分のデータの書き込みと読み出しを制御して、プルダウン変換を行なうことを特徴とする動画像信号復号化装置。

【請求項2】 前記変換手段は、前記7つのフィールドに対応するデータを記憶する7つの記憶要素と、前記記憶要素のうちの所定のものの記憶データを、他の記憶要素に伝達し、記憶させるパスを必要に応じて切換える切換え要素とを備えることを特徴とする請求項1に記載の動画像信号復号化装置。

【請求項3】 前記切換え要素は、IピクチャまたはPピクチャを復号する場合と、Bピクチャを復号する場合とで、異なるパスを形成させることを特徴とする請求項2に記載の動画像信号復号化装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えば映画フィルムの動画像信号を符号化するとともに、ビデオ信号に変換した信号を復号する場合に用いて好適な動画像信号復号化装置に関する。

【0002】

【従来の技術】 動画像信号をデジタル化して伝送あるいは記録し、再生する場合には、データ量が膨大となるため、動画像データを高効率符号化してデータを圧縮することが行われる。このように、動画像信号を符号化し、圧縮して記録再生する動画像信号符号化装置および動画像信号復号化装置として、例えば図12または図13に示す構成のものがある。

【0003】 図12の動画像信号符号化装置1においては、例えば、ビデオカメラ2でなる映像信号入力機器より入力された一般のアナログビデオ信号S1は、アナログデジタル変換回路(A/D)3によりデジタル信号に変換された後、画像データD1として符号器4に入力される。符号器4で符号化された符号化データD2は、誤り検出訂正符号付加回路(ECC)5で誤り検出訂正符号が付加された後、変調回路(MOD)6において所定の方式で変調され、記録信号S2として、例えば光ディスク7でなる記録メディアに記録される。

【0004】 一方、図13の動画像信号復号化装置11においては、光ディスク7を再生して得られる再生信号S3が、復調回路(DEMOD)12で復調された後、誤り検出訂正回路(ECC)13で誤り検出訂正され、その結果得られる再生符号化データD3が復号器14に

2

入力される。復号器14で復号化された復号化データD4が、デジタルアナログ変換回路(D/A)15でアナログ信号に変換され、ビデオ信号S4として、テレビモニタ16等に送出されて映出される。

【0005】 ここで、動画像信号符号化装置1の符号器4は、例えば図14に示すように構成されている。入力される画像データD1がRAM構成のフレームメモリ20に記憶される。フレームメモリ20に記憶された画像データは、所定のタイミングで読み出され、ブロック化回路21を経て、減算器22を通り、離散コサイン変換(DCT)回路23に入力される。DCT回路23は、入力された画像データを離散コサイン変換(DCT)処理する。この結果得られるDCT係数データが量子化(Q)回路24で量子化された後、可変長符号化(VLC)回路25に入力され、例えばハフマン符号などの可変長符号に変換される。そして、このデータは、ビデオコードバッファ26に供給され、記憶される。

【0006】 ここで量子化回路24により量子化されたDCT係数データは、フレーム内符号化画像(以下、Iピクチャと呼ぶ)、または前方向予測符号化画像(以下、Pピクチャと呼ぶ)である場合、逆量子化(IQ)回路27に入力されて逆量子化される。逆量子化回路27により逆量子化されて得られるDCT係数データは、さらに逆DCT(IDCT)回路28に入力されて逆DCT処理される。このIDCT回路28より出力される画像データは、加算器29を介してフレームメモリ20に供給され、記憶される。

【0007】 一方、動き検出回路30は、フレームメモリ20に記憶された画像の動きを検出し、その結果得られる動きベクトルを、VLC回路25および動き補償回路31に出力する。動き補償回路31は、フレームメモリ20に記憶されている画像データに対して、動きベクトルに対応する動き補償を施して予測画像データを生成し、その予測画像データを減算器22および加算器29に出力する。減算器22は、フレームメモリ20より入力された画像データから、動き補償回路31より入力された予測画像データを減算して出力する。

【0008】 即ち、差分をとる基準となる画像いわゆる予測画像として、時間的に前に位置して既に復号化されたIピクチャまたはPピクチャを用いてPピクチャが生成されたり、時間的に前に位置し、既に復号化されたIピクチャまたはPピクチャ、時間的に後ろに位置し、既に復号化されたIピクチャまたはPピクチャ、あるいはその両方から作られた補間画像の3種類の画像を予測画像とする両方向予測符号化画像(以下、Bピクチャと呼ぶ)が生成される。Iピクチャは、動き補償回路31からの画像データを利用せず、フレームメモリ20から供給された画像データのみをDCT回路23に供給した場合に生成されるものである。

【0009】 加算器29は、動き補償回路31より入力

された動き補償後の予測画像データと、IDCT回路28より供給された画像データとを加算し、IピクチャまたはPピクチャの復号化された画像を生成して、フレームメモリ20に供給し、記憶させる。これにより、量子化回路24により量子化し、VLC回路25を介して、ビデオコードバッファ26に供給したデータと同一のデータを復号化した画像データがフレームメモリ20に記憶される。その結果、このフレームメモリ20に記憶された予測画像データを利用して、次のPピクチャまたはBピクチャの符号化画像データを得ることができる。

【0010】ビデオコードバッファ26は、内部のデータの蓄積量をモニタし、その蓄積量がオーバフローまたはアンダフローしないように、量子化回路24における量子化ステップサイズを調整する。これにより、VLC回路25よりビデオコードバッファ26に供給されるデータのビットレートが変化し、ビデオコードバッファ26のオーバフローやアンダフローが防止される。このビデオコードバッファ26に記憶されたデータが一定の速度で読み出され、符号化データD2として、誤り検出訂正符号付加回路5に送出される。

【0011】動画像信号復号化装置11の復号器14は、図15に示すように構成されている。誤り検出訂正回路(ECC)13より出力される再生符号化データD3は、一定転送速度でビデオコードバッファ40に転送され、記憶される。ビデオコードバッファ40より読み出されたデータは、逆VLC(IVLC)回路41に供給され、逆VLC(IVLC)処理される。逆VLC回路41は、入力されたデータの逆VLC処理を終了すると、そのデータを逆量子化(IQ)回路42に供給する。そして、コードリクエストをビデオコードバッファ40に出力し、新たなデータの転送を要求する。

【0012】ビデオコードバッファ40は、このコードリクエストがあった場合、逆VLC回路41に新たなデータを転送する。このときの転送レートは、光ディスク7からビデオコードバッファ40に一定転送レートでデータを転送した場合に、ビデオコードバッファ40が、オーバフローまたはアンダフローしないように、符号器4におけるVLC回路25からビデオコードバッファ26に供給されるビットレートと同一の値に設定されている。換言すれば、復号器14におけるビデオコードバッファ40がオーバフローまたはアンダフローしないように、符号器4におけるビットレートが設定されている。

【0013】逆量子化回路42は、逆VLC回路41より供給されたデータを、逆VLC回路41より供給される量子化ステップサイズのデータに対応して逆量子化した後、逆DCT(IDCT)回路43に供給する。ここで、逆量子化に用いる逆量子化ステップサイズ、および逆VLC回路41から動き補償回路46に供給される動きベクトルは、符号器4における動き検出回路30で求められ、光ディスク7に記録されていたものである。

【0014】IDCT回路43においては、逆量子化回路42より供給されたデータがIDCT処理される。このIDCT処理されたデータがIピクチャの場合、加算器44を介してそのままフレームメモリ45に供給され、記憶される。また、IDCT回路43より出力されたデータが、Iピクチャを予測画像とするPピクチャの場合、フレームメモリ45よりIピクチャ(予測画像)のデータが呼び出され、動き補償回路46において動き補償された後、加算器44に供給される。

10 【0015】加算器44は、IDCT回路43より出力されたデータと、動き補償回路46より出力されたデータを加算して、Pピクチャのデータを生成し、これがフレームメモリ45に記憶される。

【0016】さらに、IDCT回路43より出力されたデータがBピクチャの場合、フレームメモリ45より予測画像としてのIピクチャまたはPピクチャのデータが読み出され、動き補償回路46により動き補償された後、加算器44に供給される。

20 【0017】加算器44は、IDCT回路43より出力されたデータと、動き補償回路46より出力されたデータとを加算して、復号化されたBピクチャのデータを、このデータがフレームメモリ45に記憶される。このようにして、フレームメモリ45に記憶されたデータは、走査線化回路47で走査線順に読み出され、復号化データD4として、デジタルアナログ変換回路15に供給される。

30 【0018】このようにして、この動画像信号符号化装置および動画像信号復号化装置の場合、画像データのフレーム内における冗長度をDCT処理を行うことにより減少させ、また、フレーム間の冗長度を動きベクトルを使って減少させ、両者を組み合わせることにより、画像データを高効率に符号化して、高い圧縮率で、記録し、再生し得るようになされている。

40 【0019】ところで、映画等のフィルムソースをインタレース方式のビデオ信号(例えばNTSC方式のビデオ信号)にテレシネ等で変換する場合、2-3プルダウン(pull down)方式が用いられている。テレシネでは、フィルムソースが24Hzであるのに対し、ビデオ信号が例えばフィールドを単位とした場合に60Hzであるため、フィールド数の変換が必要となる。例えば図16に示すように、フィルムソースの連続した2コマのうち、最初のコマがビデオ信号の2フィールド分として読み出され、次のコマが3フィールド分として読み出され、この操作が繰り返される。

50 【0020】即ち、24Hzのノンインタレース方式のフィルムソースのコマ(フレーム)50、51などは、図中にそれぞれ実線および破線で示す第1のフィールドおよび第2のフィールドに分解される。最初のコマ50は、第1のフィールドがフィールド52に、第2のフィールドがフィールド53に、それぞれ分解され、2フィ

5

ールド分のデータとして読み出される。また、次のコマ51は、第1のフィールドがフィールド54と56に、第2のフィールドがフィールド55に分解され、3フィールド分のデータとして読み出される。フィールド54とフィールド56は、全く同一のものである。

【0021】図12の動画像信号符号化装置1においては、このような2-3プルダウン変換された60Hzのフィールド単位でなるビデオ信号が、ビデオカメラ2を介して入力されるビデオ信号S1に代えて、ビデオ入力端子よりレート前処理部8に入力される。

【0022】レート前処理部8においては、このようにしてテレビネより供給された60Hzのフィールドを単位とするビデオ信号から、重複するコマ（フィールド）54と56を検出するとともに、レート変換によりこの重複したフィールド54と56のうち一方を除去して、24Hzのフレーム（48Hzのフィールド）を単位とする動画像データに変換する。これにより、全体として画像圧縮効率を向上し得るようになされている。

【0023】このようにして生成された24Hzのフレームのインタレース方式のビデオデータは、符号器4において、通常のビデオデータと同様にして符号化され、光ディスク7に記録される。

【0024】一方、図13の動画像信号復号化装置11においては、光ディスク7を再生して得られる再生信号S3が復調回路12で復調された後、誤り検出訂正回路13で誤り検出訂正され、この結果得られる再生符号化データD3が復号器14に入力される。復号器14では、24Hzのインタレース方式のフレーム単位のデコード画像でなる復号化データを得る。

【0025】このとき復号化と同期してレートコンバータ17で制御されるタイミングに従って、復号器14のフレームメモリ45への書き込みおよび読み出しが制御され、2-3プルダウン変換して、24Hzのフレーム単位の信号から、60Hzのフィールド単位の信号に変換されるとともに、復号される。この復号化データが、デジタルアナログ変換回路15でデジタルアナログ変換され、ビデオ信号としてテレビモニタ16へ送られる。

【0026】

【発明が解決しようとする課題】従来の装置は、このようにフレームメモリ45に記憶した画像データを、レートコンバータ17により2-3プルダウン変換するようにしているのであるが、フレームメモリ45の記憶容量として、4フレーム分（8フィールド分）の容量を必要としていた。その結果、コスト高となる課題があった。

【0027】本発明はこのような状況に鑑みてなされたものであり、フレームメモリの容量を小さくし、以て、コストを低減することができるようにするものである。

【0028】

【課題を解決するための手段】請求項1に記載の動画像信号復号化装置は、符号化された動画像信号を復号化す

6

るとともに、例えば2-3プルダウン変換する変換手段としてのデコーダ制御回路62と、符号化された動画像信号を復号化するための4フィールド分の予測画像信号と、予測画像信号を利用して復号化された3フィールド分の動画像信号を記憶する容量を有する記憶手段としてのフレームメモリ45とを備え、デコーダ制御回路62は、フレームメモリ45の7フィールド分のデータの書き込みと読み出しを制御して、2-3プルダウン変換を行うことを特徴とする。

10 【0029】デコーダ制御回路62は、7つのフィールドに対応するデータを記憶する7つの記憶要素としてのレジスタR1乃至R7と、レジスタR1乃至R7のうちの所定のものの記憶データを、他のレジスタに伝達し、記憶させるパスを必要に応じて切換える切換要素としてのセレクトS1、S2、S7、S8、S9とにより構成することができる。

【0030】また、セレクトS1、S2、S7、S8、S9により、IピクチャまたはPピクチャを復号する場合と、Bピクチャを復号する場合とで、異なるパスを形成させるようにすることができる。

【0031】

【作用】上記構成の動画像信号復号化装置においては、フレームメモリ45が7フィールド分の記憶容量とされる。そして、その読み出し、書き込みがデコーダ制御回路62により制御される。従って、フレームメモリ45の記憶容量が小さく済み、低コスト化を図ることができる。

【0032】

【実施例】本発明における動画像信号符号化装置と動画像信号復号化装置は、図12と図13に示した従来の装置と基本的に同様の構成とされている。但し、動画像信号復号化装置11のレートコンバータ17は省略され、復号器14は、図1に示すように構成される。同図において、図15における従来の場合と対応する部分には同一の符号を付してある。

【0033】即ち、この実施例においては、フレームメモリ45が3.5フレーム（7フィールド）分の記憶容量を有するように構成されている。そして、フレームメモリ45に対するアクセスは、バススケジューラ61を介して実行されるようになされている。デコーダ制御回路62は、同期信号発生回路63が発生する同期信号に同期して、バススケジューラ61を介してフレームメモリ45を制御するようになされている。フレームメモリ45より読み出されたデータは、表示インタフェース64を介して、デジタルアナログ変換回路15に供給されるようになされている。

【0034】このデコーダ制御回路62がバススケジューラ61を介してフレームメモリ45を制御し、2-3プルダウン変換を行うのであるが、最初にその原理について説明する。

【0035】図2において、縦軸はフレームメモリ45の記憶容量（バッファ領域）を表し、横軸は1フレームに対応する時間を単位とする時間を表している。Bピクチャを復号する場合においては、前方予測画像と後方予測画像が必要となるため、それぞれ1フレーム、合計2フレーム（4フィールド）の予測画像を記憶しておく領域が必要となる。説明の便宜上、この領域をバッファ領域1乃至4とする。その結果、残りの3フィールド分のバッファ領域5乃至7を用いて、Bピクチャの復号および再生が行われることになる。

【0036】最初に、バッファ領域5と6を用いて、フレームB1を1フレームの時間をかけて復号し、その第1フィールドがバッファ領域5に、また第2フィールドがバッファ領域6に記憶される。従って、図2の斜めの実線（復号線）に沿って、バッファ領域内の画像情報が変化する（更新される）。

【0037】バッファの内容を更新する動作を示す復号線について、図3を参照して説明する。ここでは、復号されるピクチャの第1フィールドがフィールドバッファAに、第2フィールドがフィールドバッファBに、それぞれ蓄積されるものとする。

【0038】図3（a）は、フィールド構成のピクチャが復号されるときバッファの更新状態を示している。フィールド構成のピクチャにおいては、第1フィールドの画像が1フィールドの時間をかけて復号された後、第2フィールドの画像が1フィールドの時間をかけて復号される。従って、フィールドバッファAが更新された後にフィールドバッファBが更新される。その結果、復号線は、図3（a）に示すようになる。同図において、復号線を境にして下のハッチングを施して示す領域が古い画像データの記憶量を表し、ハッチングを施していない領域が新しい画像データの記憶量を表している。フィールドバッファAとフィールドバッファBは、それぞれ1フィールドの時間をかけて新しいデータに更新されることになる。

【0039】図3（b）は、フレーム構成のピクチャが復号されるときバッファの更新状態を示している。フレーム構成のピクチャにおいては、第1フィールドと第2フィールドのデータが平行して1フレームの時間をかけて復号される。従って、その復号線は、図3（b）に実線で示すようになる。

【0040】動画像情報は、ピクチャごとに適応的にフィールド構成またはフレーム構成とされる。このため、各ピクチャのバッファの更新状態を示す復号線は、図3（a）または図3（b）に示す状態となる。そこで便宜上、これらを重ね合わせて、図3（c）に示すように表すようにする。第1フィールドのデータの格納される復号線のパターンは、図3（c）のフィールドバッファAに示す状態となり、第2フィールドの格納される復号線のパターンは、フィールドバッファBに示すようにな

る。

【0041】図2に戻って、フレームメモリ45の書き込みと読み出し動作について、さらに説明する。上述したように、フレームB1の復号データは、フィールドバッファ5と6に書き込まれる。次のフレームB2の復号データは、フィールドバッファ7と5に書き込まれ、さらに次のフレームB3の復号データは、フィールドバッファ6と7に書き込まれる。即ち、フィールドバッファ5、6、7が、循環的に用いられる。例えばいま、フィールドバッファ5と6の組み合わせを（5，6）と表すようにすると、復号は（5，6），（7，5），（6，7），（5，6），・・・というように、3つの組み合わせを循環させて行われる。

【0042】一方、表示は復号開始に対して3/4フレーム時間遅れて開始される。図2においては、この表示を示す線（表示線）が破線で表されている。図2に示すように、フィールドバッファ5乃至7に書き込まれたデータが、3/4フレーム時間だけ遅れて読み出され、表示されるようになされている。従って、この表示も、（5，6），（7，5），（6，7），（5，6），・・・というように行われる。

【0043】以上の動作は、通常再生時における場合（ブルダウン変換しない場合）のものであるが、N-Mブルダウン変換して表示する場合におけるフィールドバッファの切換えについて、図4を参照して次に説明する。

【0044】例えば、2-3ブルダウン変換する場合、復号サイクルのうちの1サイクルは、1フィールド分だけ処理時間を長くし、それに合わせて、そのサイクルにおいては3フィールド分の表示を行うようにする。

【0045】図4の実施例においては、フレームB1を1フレーム分の時間をかけて復号した後、フレームB2を1フレーム分の時間をかけて復号する。そして、その次に、1フィールド分の時間だけ復号をしない時間を設ける。フレームB1は、第1フィールドと第2フィールドの画像として表示し、フレームB2は、第1フィールド、第2フィールドおよび第1フィールドのように3フィールド分の表示を行う。そして、それに続くフレームB3の表示は、第2フィールド、第1フィールドの順に行う。

【0046】このとき、表示の順番が第1フィールド、第2フィールドの順から、第2フィールド、第1フィールドの順に反転する。あるいはまた、第2フィールド、第1フィールドの順番から、第1フィールド、第2フィールドの順番に反転する。そこで、復号線と表示線が交差しないようにフィールド切換えを行うためには、上述したフィールドバッファ5乃至7の循環を逆方向に行うようにする。

【0047】図4の実施例においては、フレームB1は（5，6）を使って復号し、（5，6）を表示する。フ

フレームB2は(7, 5)を使って復号するが、次のフレームB3の復号は3フィールドの時間をおいて開始されるため、フレームB2は(7, 5, 7)と表示される。

【0048】以後、次の3フィールド表示が行われるまで、第2フィールド、第1フィールドの順に表示が行われるため、フレームB3、B4においては(5, 6), (6, 7)が更新される。これに対応する表示は、3/4フレーム時間遅れて(6, 5), (7, 6, 7), ...と行われる。

【0049】フレームメモリ45のフィールドバッファ1乃至7を、このように自動的に切替えるために、デコード制御回路62は、例えば図5に示すように構成することができる。この実施例においては、フィールドバッファ1乃至7に対応して、レジスタR1乃至R7が設けられ、これらがリング状に接続されている。さらに所定のレジスタの記憶データを他のレジスタに転送、記憶させるパスを形成するため、セクタS1, S2, S7乃至S9が設けられている。また、レジスタR8, R9、並びにセクタS3乃至S6が設けられ、第1フィールドまたは第2フィールドとして表示すべきデータが、DISP1またはDISP2として出力されるようになっている。

【0050】尚、図中、レジスタR5の出力ST1と、レジスタR6の出力ST2は、復号画像を保存するフィールドバッファの第1フィールドと第2フィールドをそれぞれ表している。レジスタR1の出力FWP1と、レジスタR2の出力FWP2は、前方予測画像のフィールドバッファの第1フィールドと第2フィールドをそれぞれ表している。レジスタR3とレジスタR4の出力BWP1とBWP2は、後方予測画像のフィールドバッファの第1フィールドと第2フィールドをそれぞれ表している。

【0051】入力信号INITは、レジスタR1乃至R7に初期値1乃至7をロードする信号である。IP/B(図においては、文字Bの上に線を付加して示されている)は、IピクチャまたはPピクチャを復号するとき高レベルとなり、Bピクチャを復号するとき低レベルとなる信号である。DEC-CKは、デコードを行うとき供給されるクロックである。DISP-CKは、このDEC-CKを3/4フレームの時間だけ遅らせたクロックである。REV-DISPは、表示が第1フィールドから始まるとき低レベルとなり、第2フィールドから始まるとき高レベルとなる信号である。

【0052】通常再生時(2-3ブルダウン変換しないとき)、REV-DISPは、常に低レベルとされ、IピクチャまたはPピクチャを復号する際、レジスタR1乃至R7の各記憶値は、図5において破線で示すパス上を、ENC-CKに同期して循環する。即ち、R1, S1, S9, R6, R4, R2, S2, S7, R7, S8, R5, R3, R1のパスが形成されるように、セ

クタS1, S2, S7乃至S9が切り換えられる。

【0053】このとき、レジスタR3の出力BWP1が、セクタS3, S5、レジスタR8を介してDISP1として出力され、レジスタR4の出力BWP2が、セクタS4, S6、レジスタR9を介してDISP2として出力される。

【0054】これに対して、Bピクチャ復号時においては、レジスタR1乃至R4がディセーブル状態とされ、各レジスタの値は、図6において破線で示すパス上を循環する。即ち、R5, S1, S9, R6, S2, S7, R7, S8, R5のパスが形成されるように、セクタS1, S2, S7乃至S9が切り換えられる。

【0055】このとき、レジスタR5の出力ST1が、セクタS3, S5、レジスタR8を介してDISP1として出力され、レジスタR6の出力ST2が、セクタS4, S6、レジスタR9を介してDISP2として出力される。

【0056】図7は、以上の処理のタイミングチャートを示している。レジスタR1乃至R7に記憶値1乃至7が初期設定され、その値が同図に示すように順次更新される。そして、ST1, ST2, FWP1, FWP2, BWP1, BWP2の値や、DISP1, DISP2の値が同図に示すように順次変化する。同図に示す値のフィールドバッファが対応する動作に用いられることになる。例えば、FWP1の値が7であるとき、フィールドバッファ7のデータが、前方予測画像データとして用いられる。

【0057】図8は、以上の通常再生時におけるフィールドバッファ1乃至7の書き込み動作と読み出し(再生)動作を表した図である。この図8と図2を比較して明らかなように、図2においては、説明の便宜上、フィールドバッファ5乃至7のみが順次復号と表示に用いられるようにしたが、デコード制御回路62を図5に示すように構成することで、フィールドバッファ1乃至7を、予測画像データ記憶用または復号表示データ記憶用として順次切り換えて使用することができる。

【0058】2-3ブルダウン再生時においては、2フィールド表示と3フィールド表示が交互に行われ、REV-DISPは、その度に反転する。IピクチャまたはPピクチャの復号時、各レジスタは図5に示した通常再生時における場合と同様に動作する。

【0059】これに対して、Bピクチャ復号時においては、レジスタR1乃至R4がディセーブル状態とされ、レジスタR5乃至R7が通常再生時における場合とは逆に、図9に示すようにパスを形成する。即ち、R5, S7, R7, S9, R6, S8, R5のパスが形成される。

【0060】このとき、REV-DISPが低レベルであれば、レジスタR5の出力ST1が、セクタS3, S5、レジスタR8を介してDISP1として出力さ

れ、レジスタR6の出力ST2が、セクタS4、S6、レジスタR9を介してDISP2として出力される。

【0061】これに対して、REV-DISPが高レベルのとき、セクタS5とS6により第1フィールドと第2フィールドの出力が逆転されて、ST2がDISP1として、ST1がDISP2として、それぞれ出力される。

【0062】この2-3プルダウン時におけるタイミングチャートは、図10に示すようになる。また、フィールドバッファ1乃至7の書き込みと読み出しは、図11に示すように行われる。

【0063】

【発明の効果】以上の如く本発明の動画信号復号化装置によれば、記憶手段を7フィールド分の記憶容量としたので、記憶容量が従来の場合より少なくて済み、低コスト化を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明の画像信号復号化装置における復号器の構成例を示すブロック図である。

【図2】本発明の通常再生時におけるフィールドバッファの動作を説明する図である。

【図3】フィールドバッファの書き込みと読み出しの動作を説明する図である。

【図4】本発明の2-3プルダウン変換動作時におけるフィールドバッファの動作を説明する図である。

【図5】図1のデコーダ制御回路62の通常再生時のI/Pピクチャデコードの動作を説明する図である。

【図6】図1のデコーダ制御回路62の通常再生時のBピクチャデコードの動作を説明する図である。

【図7】図5および図6に示した実施例の動作に対応するタイミングチャートである。

【図8】図5および図6に示した動作に対応するフィールドバッファの書き込みと読み出しの動作を説明するタイミングチャートである。

【図9】図1のデコーダ制御回路62の2-3プルダウン変換動作時におけるPピクチャデコードの動作を説明

する図である。

【図10】図9の動作に対応するタイミングチャートである。

【図11】図10のタイミングチャートに対応するフィールドバッファ1乃至7の書き込みと読み出しの動作を説明するタイミングチャートである。

【図12】従来の動画信号符号化装置の一例の構成を示すブロック図である。

【図13】従来の動画信号復号化装置の一例の構成を示すブロック図である。

【図14】図12の符号器4の構成例を示すブロック図である。

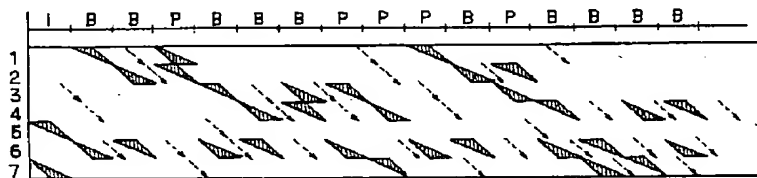
【図15】図13の復号器14の構成例を示すブロック図である。

【図16】2-3プルダウン変換の原理を説明する図である。

【符号の説明】

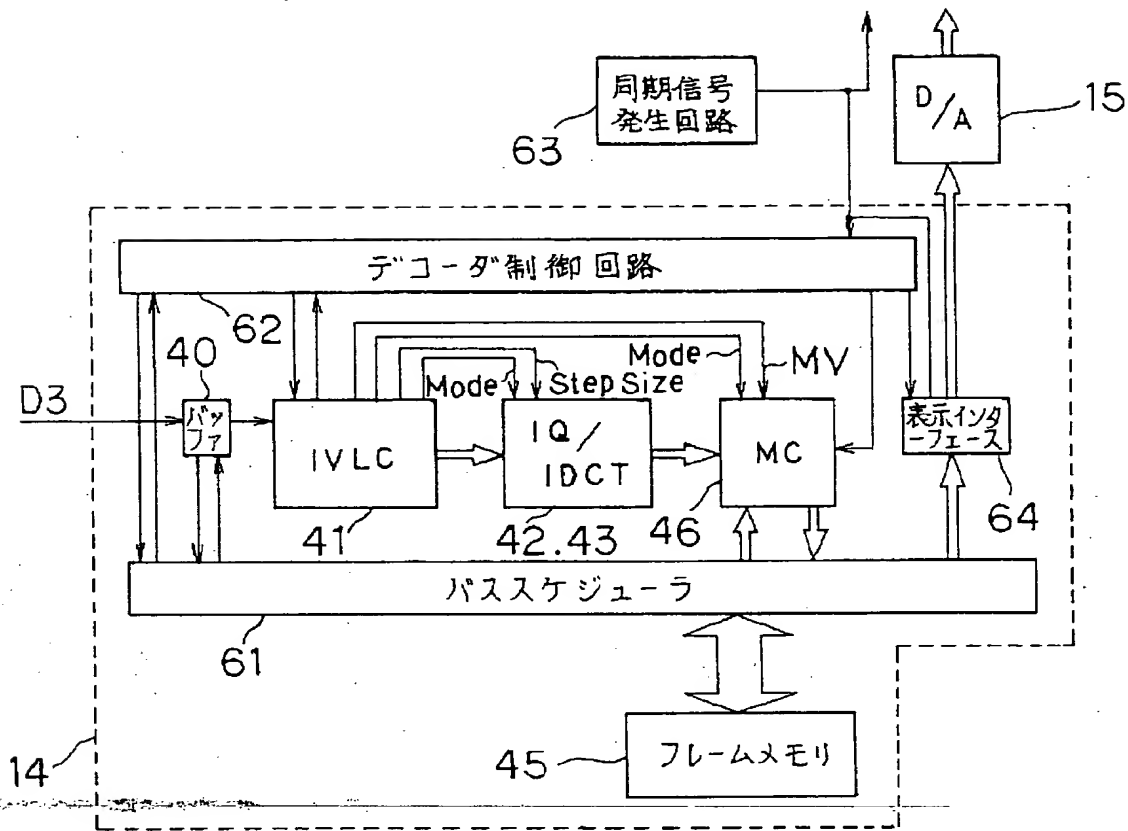
- 2 ビデオカメラ
- 4 符号器
- 5 誤り検出訂正回路
- 6 変調回路
- 7 光ディスク
- 8 レート前処理部
- 12 復調回路
- 14 復号器
- 16 テレビモニタ
- 17 レートコンバータ
- 40 バッファ
- 41 逆VLC回路
- 42 逆量子化回路
- 43 逆DCT回路
- 45 フレームメモリ
- 46 動き補償回路
- 61 パススケジューラ
- 62 デコーダ制御回路
- 63 同期信号発生回路
- 64 表示インターフェース

【図8】



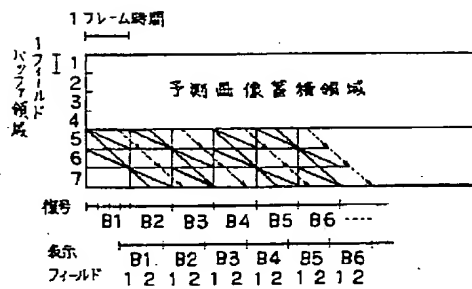
通常再生

【図1】

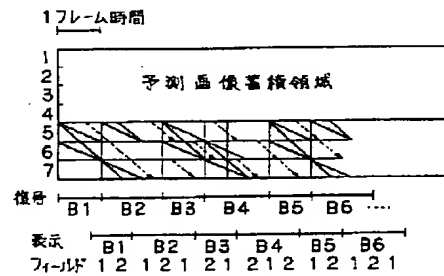


実施例の復号器の内部構成

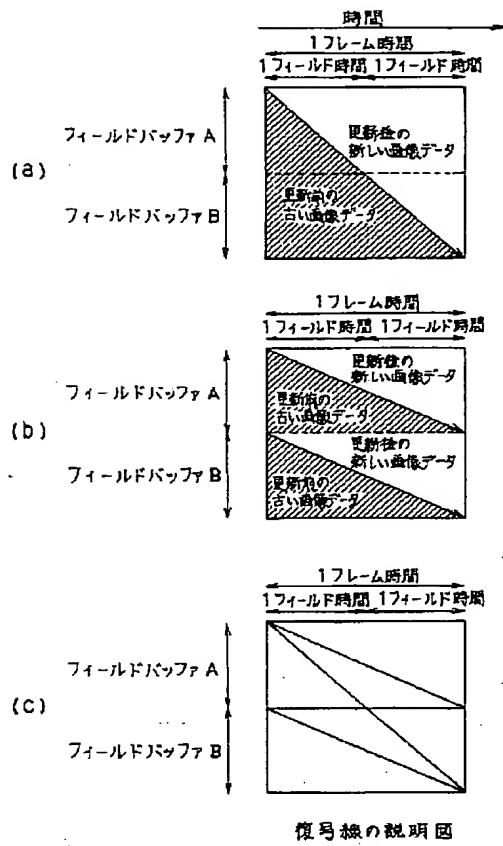
【図2】

通常再生のフィールドバッファ操作
(Bピクチャ連続時)

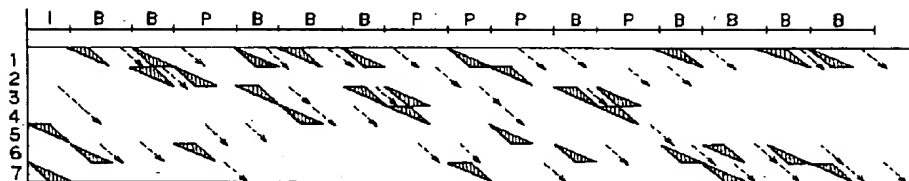
【図4】

2-3フルダウン表示時のフィールドバッファ操作
(Bピクチャ連続時)

【図3】

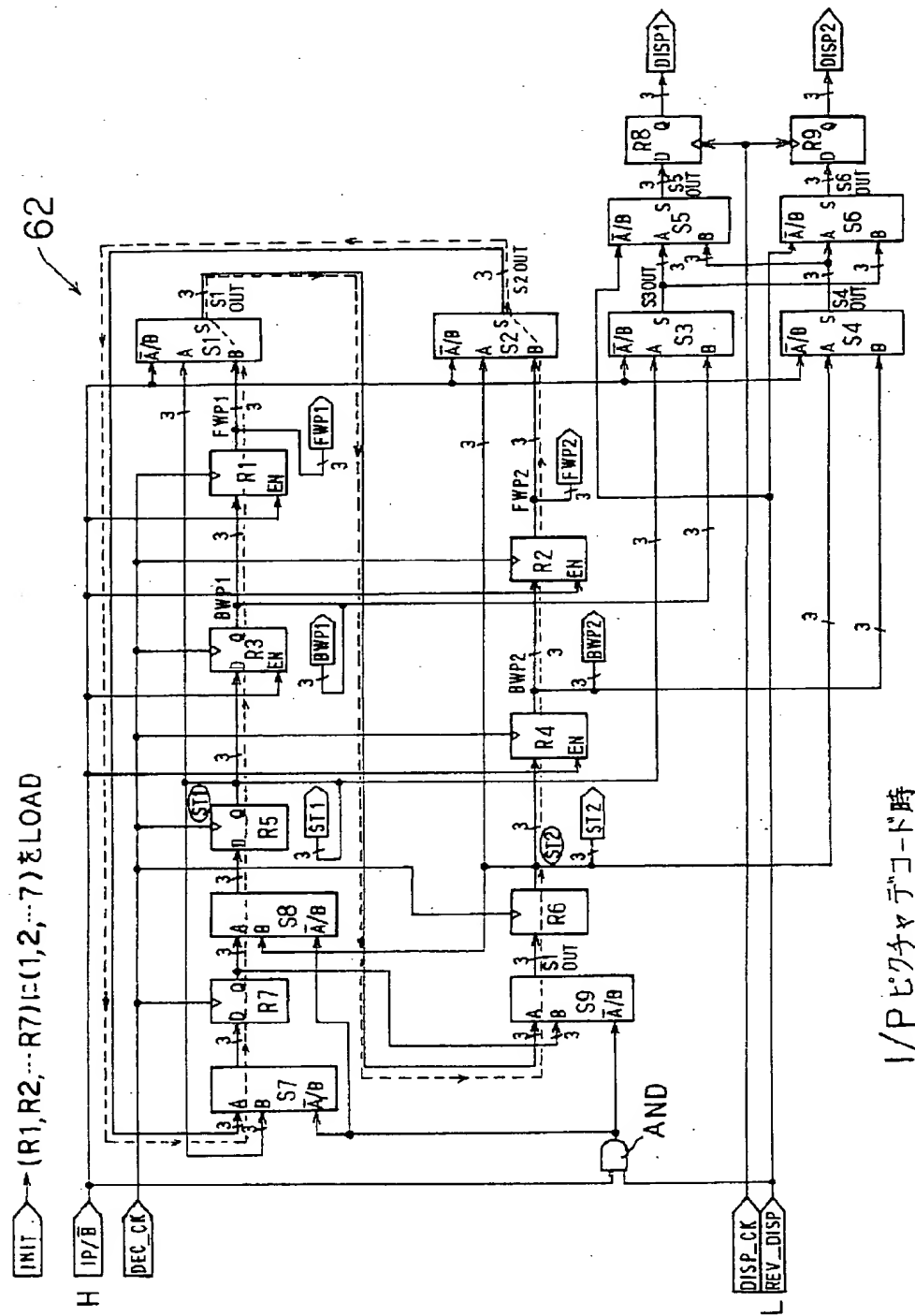


【図11】

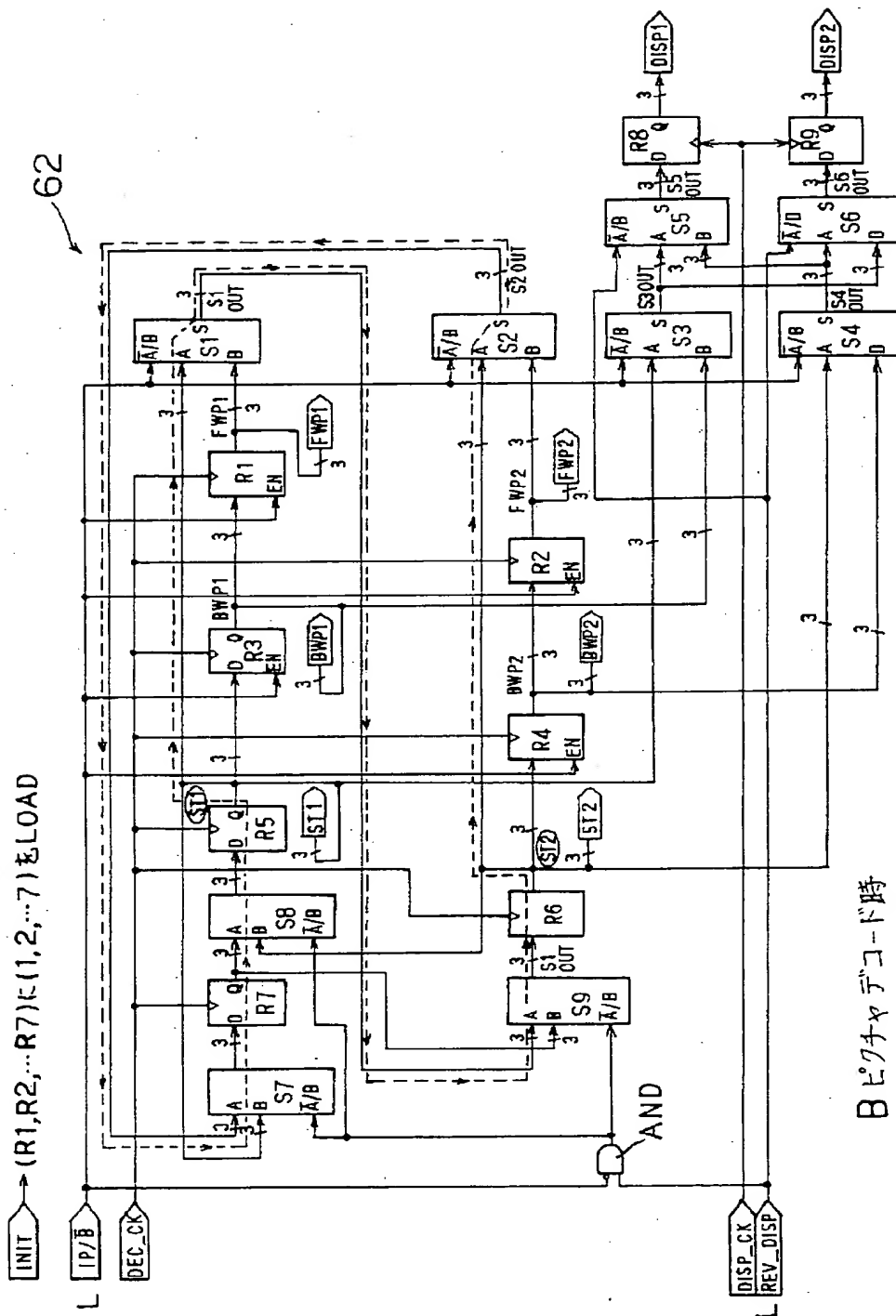


2-3 プルダウン再生

【図5】

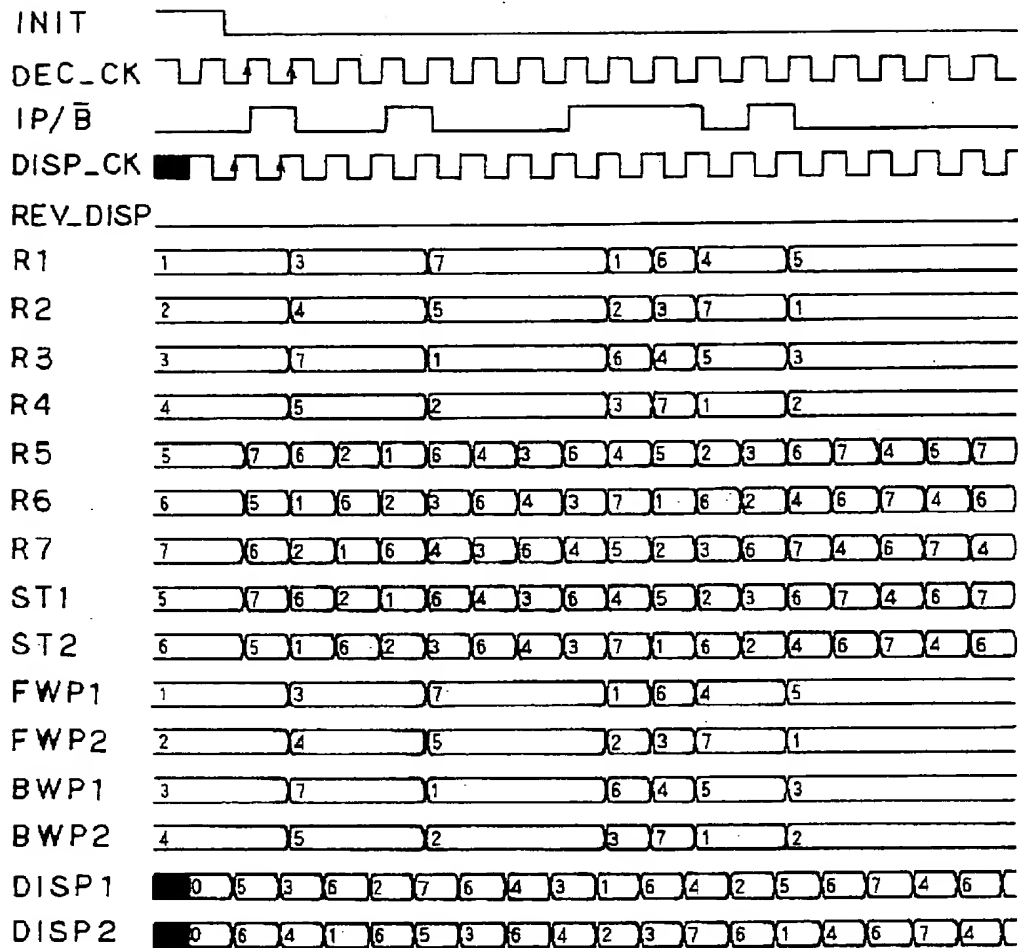


【図6】

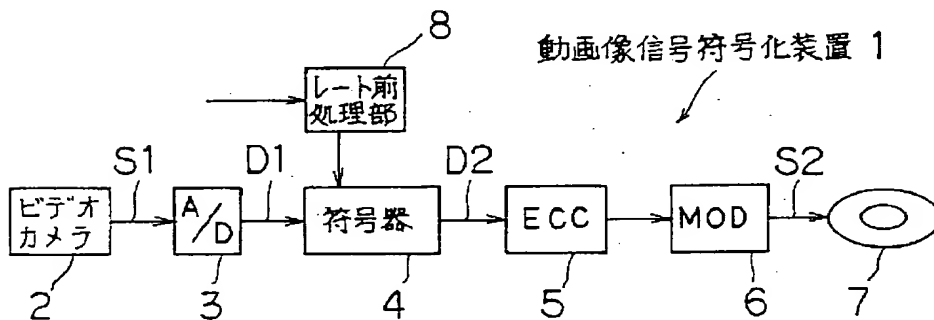


B ビットチャデコード時
(1, 2) フィールド表示

【図7】

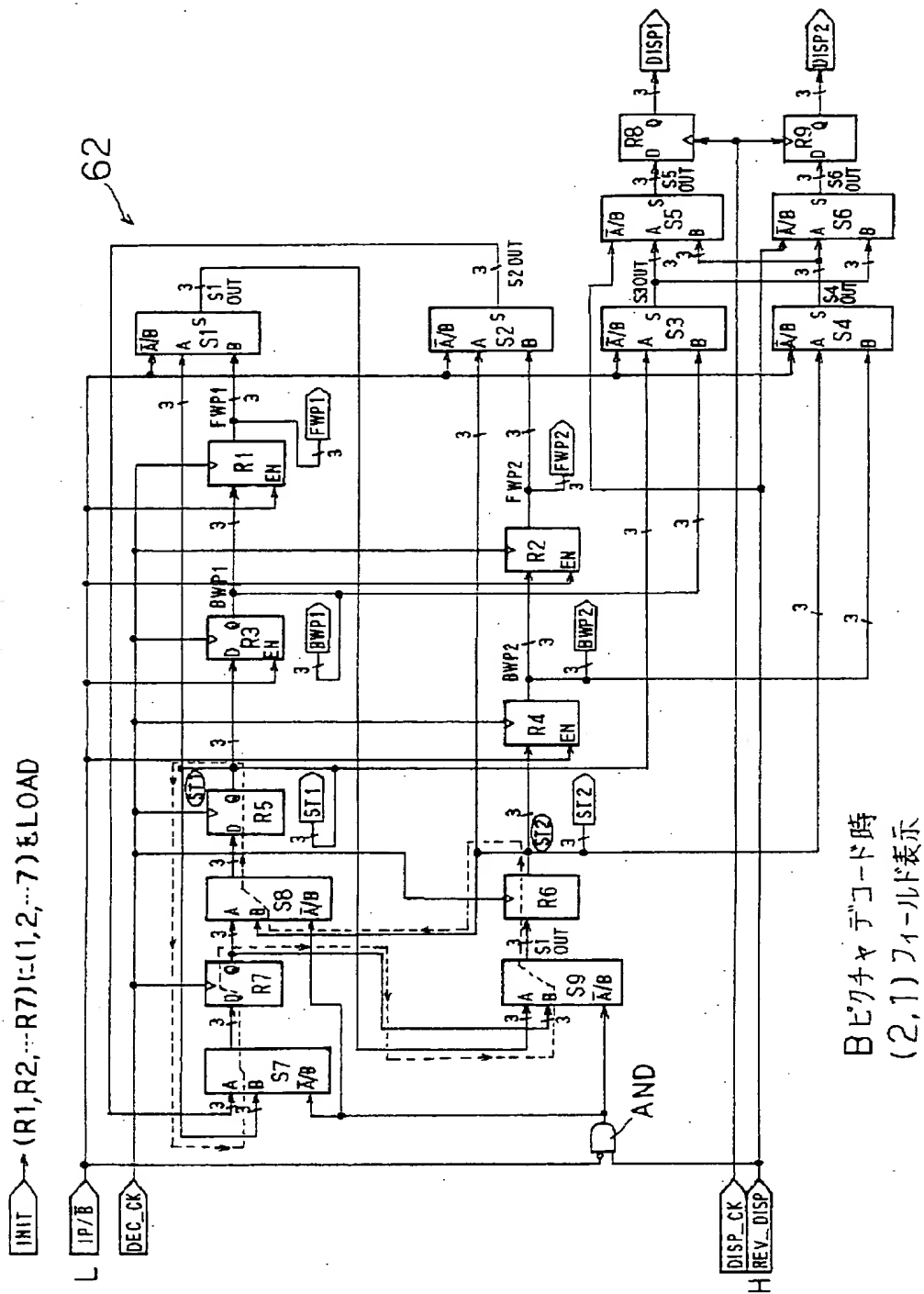


【図12】

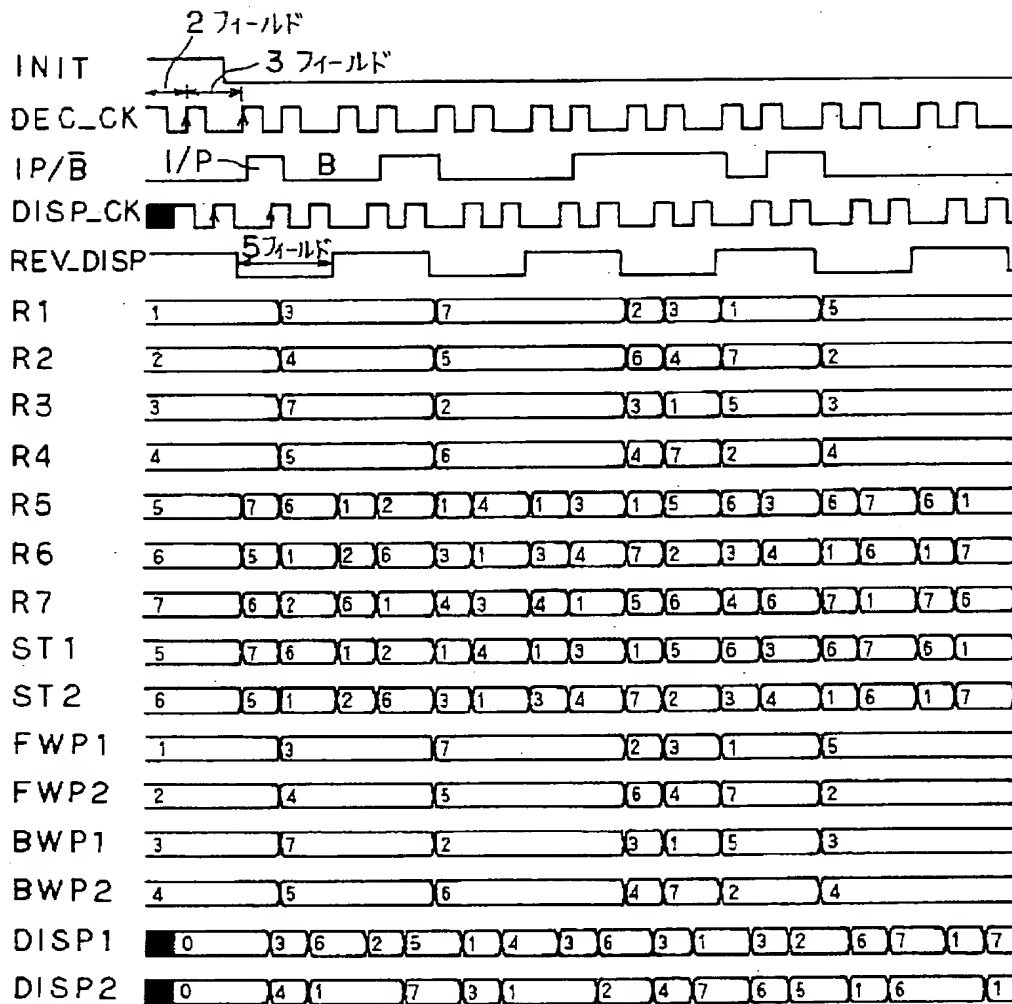


従来の動画像信号符号化装置

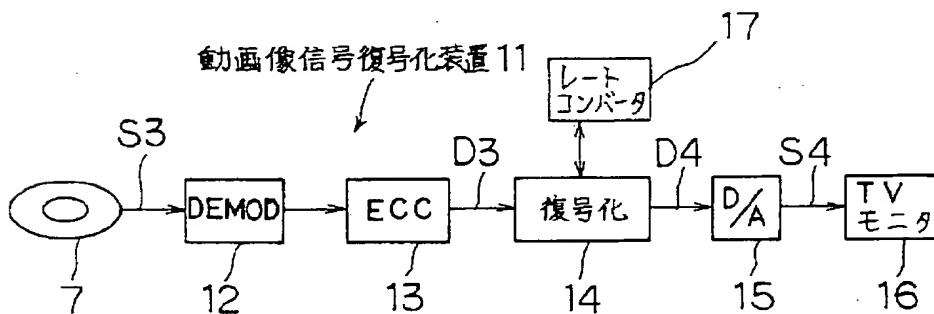
【図 9】



【図10】

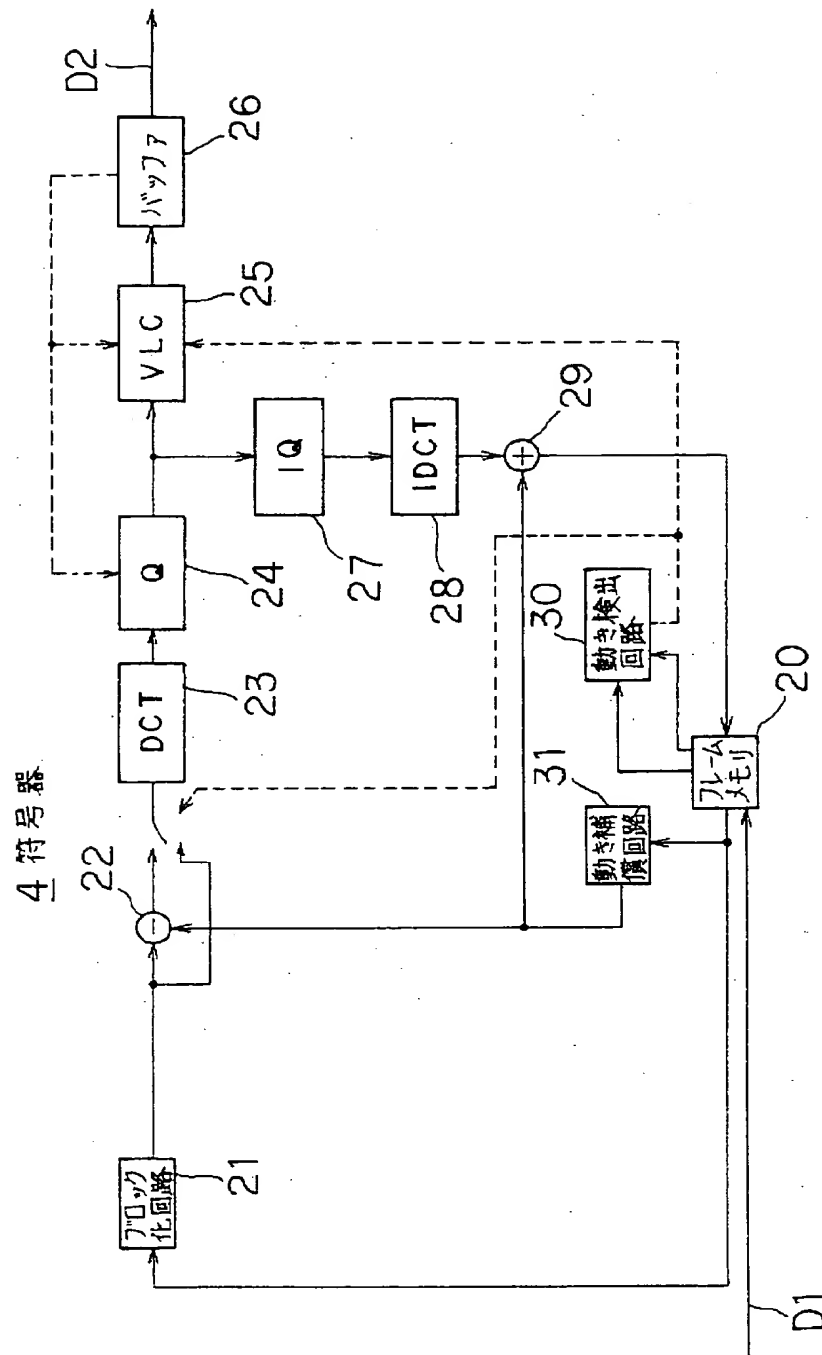


【図13】

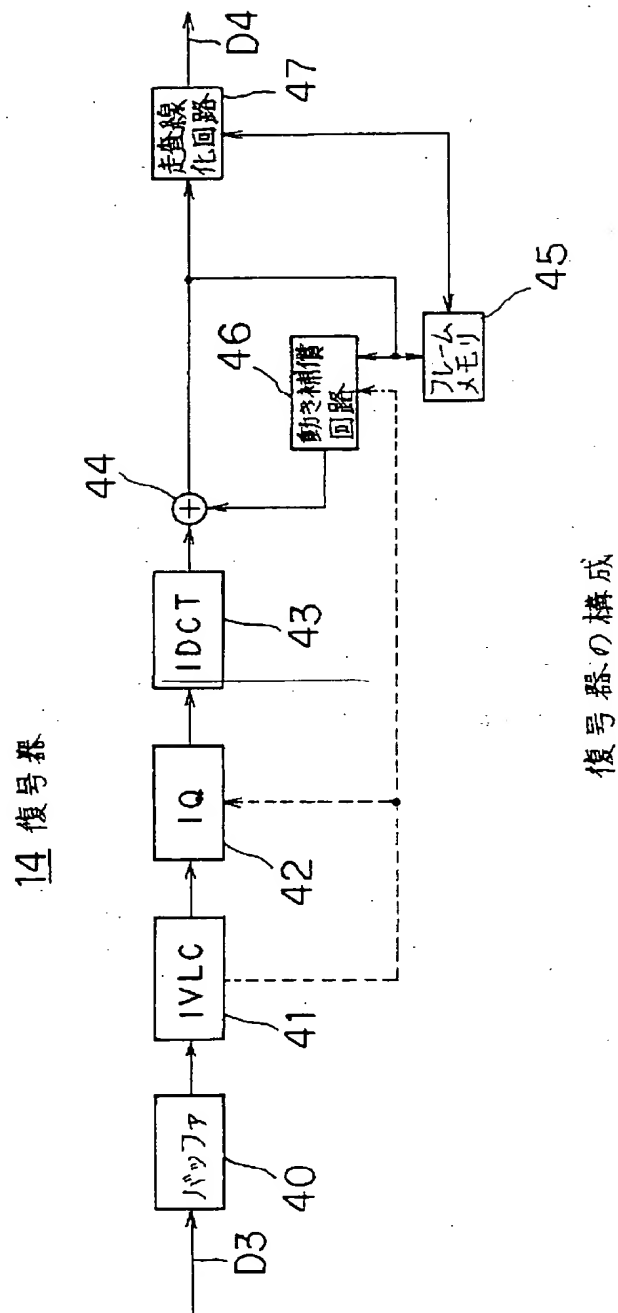


従来の動画像信号復号化装置

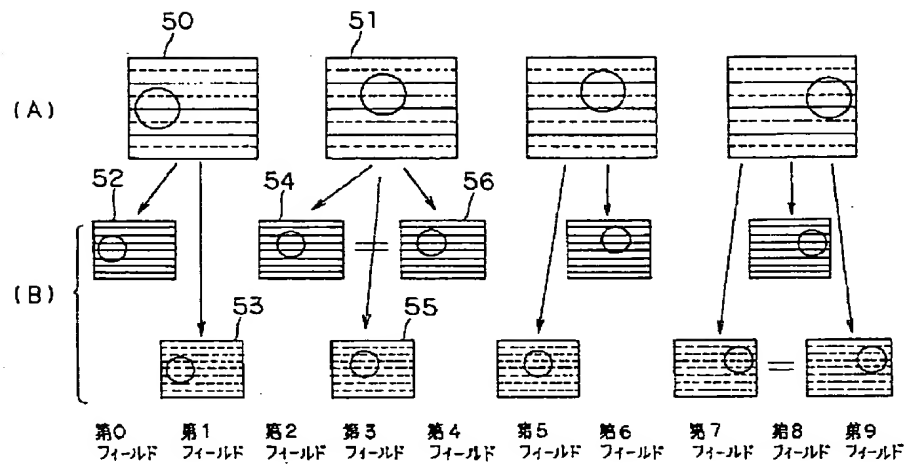
符号器の構成



【図15】



【図16】



2-3 プルダウン方式の原理